

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-045076

(43)Date of publication of application : 16.02.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/136
H01L 29/786
H01L 21/336

(21)Application number : 09-216015

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 24.07.1997

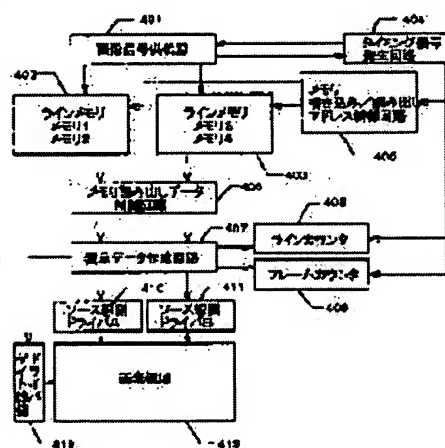
(72)Inventor : HIRAKATA YOSHIHARU

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a high resolution, high speed display, at a reduced cost and with ease, of a large screen easily which requires a large quantity of picture data by simultaneously forwarding picture signals to plural source lines from corresponding storage circuits.

SOLUTION: Line memories 402, 403 are comprised of memories 1, 2 and memories 3, 4. And either one of the line memories 402, 403 is in a mode in which it stores image data from a picture signal supply source 401, while the other one sends image data to a memory reading data control circuit 406. A display data forming circuit 407 sends image data from the memory reading data control circuit 406 to a source line side driver A410 and a source line side driver B411, and sends a gate line selection signal of picture element TFT to a gate signal line 412. Plural picture elements of a picture element region 413 are switched by signals supplied from the source line side driver A410, the source line side driver B411, and a gate signal line 412.



LEGAL STATUS

[Date of request for examination] 20.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45076

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

G 0 2 F 1/133

5 5 0

1/136

5 0 0

1/136

5 0 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 B

21/336

6 2 7 A

審査請求 未請求 請求項の数 3 F D (全 15 頁)

(21) 出願番号

特願平9-216015

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(22) 出願日

平成9年(1997) 7月24日

(72) 発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半

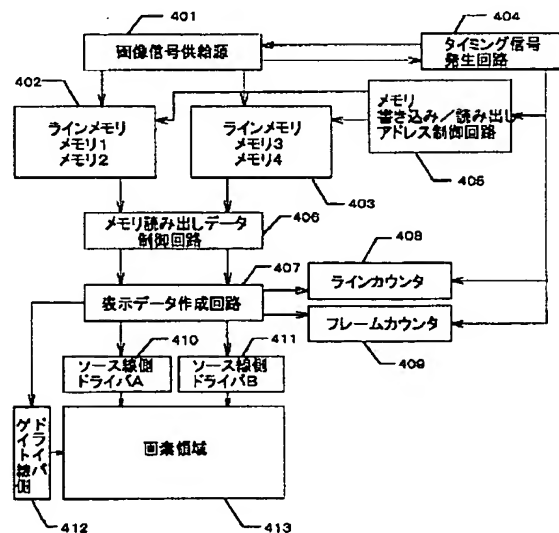
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 大画面、高解像度の表示装置を提供する。

【解決手段】 複数の画素 T F T を駆動する 2 つのソース線側ドライバと、一つのゲート線側ドライバと、第 1 および第 2 のメモリを少なくとも有する 2 つのラインメモリと、2 つのラインメモリを制御するコントローラと、を備えるアクティブマトリクス型表示装置において、2 つのラインメモリの画像データ記憶・送出を切り替え、2 つのソース線側駆動回路に同時に送出する。



(2)

1

【特許請求の範囲】

【請求項 1】マトリクス状に配置された複数の画素 T F T と、
前記複数の画素 T F T を駆動する複数のソース線側ドライバと、一つのゲート線側ドライバと、画像信号供給源と、
前記画像信号供給源からの画像信号を記憶し、送出する記憶回路と、
前記記憶回路を制御するコントローラと、を備えるアクティブマトリクス型表示装置であって、
前記記憶回路は、対応する前記複数のソース線に前記画像信号を同時に送出するアクティブマトリクス型表示装置。

【請求項 2】マトリクス状に配置された複数の画素 T F T と、
前記複数の画素 T F T を駆動する $2n$ 個 (n は自然数) のソース線側ドライバと、一つのゲート線側ドライバと、
画像信号供給源と、
前記画像信号供給源からの信号を記憶し、送出する記憶回路と、
前記記憶回路を制御するコントローラと、を備えるアクティブマトリクス型表示装置であって、
前記記憶回路は、少なくとも 2 つの記憶領域を有しており、
前記少なくとも 2 つの記憶領域のうち、少なくとも 1 つの記憶領域が前記画像信号供給源からの画像信号を記憶する書き込みモードにある時は、他の記憶領域は記憶した前記画像信号を送出する読み出しモードにあり、
前記記憶領域が、それぞれ書き込みモードにある時は、
前記画像信号を入力順に記憶し、前記記憶領域が、それぞれ読み出しモードにある時は、記憶された前記画像信号を前記複数のソース線の数だけ同時に送出し、対応する前記複数のソース線側ドライバを同時に駆動する、アクティブマトリクス型表示装置。

【請求項 3】マトリクス状に配置された複数の画素 T F T と、
前記複数の画素 T F T を駆動する 2 つのソース線側ドライバと、一つのゲート線側ドライバと、画像信号供給源と、
第 1 および第 2 のラインメモリと、
前記第 1 および第 2 のラインメモリを制御するコントローラと、を備えるアクティブマトリクス型表示装置であって、
前記第 1 および第 2 のラインメモリは、それぞれ第 1 および第 2 のメモリを有しており、前記第 1 および第 2 のラインメモリは、一方が前記画像信号供給源からの画像信号を記憶する書き込みモードにある時は、もう一方は記憶した前記画像信号を送出する読み出しモードにあり、前記第 1 および第 2 のラインメモリが、それぞれ書

2

き込みモードにある時は、前記画像信号を前記第 1 のメモリと前記第 2 のメモリとにこの順序で記憶し、
前記第 1 および第 2 のラインメモリは、それぞれ読み出しモードにある時は、記憶された前記画像信号を前記第 1 のメモリと前記第 2 のメモリとから同時に送出し、前記 2 つのソース線側ドライバを同時に駆動する、アクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、大画面、高解像度の表示を行うアクティブマトリクス表示装置に関する。

【0002】

【従来の技術】

【0003】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (T F T) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置 (液晶パネル) の需要が高まってきたことによる。

20 【0004】アクティブマトリクス型液晶パネルは、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ T F T が配置され、各画素電極に出入りする電荷を T F T のスイッチング機能により制御するものである。

【0005】従来のアクティブマトリクス型液晶表示装置を図 1 に示す。従来のアクティブマトリクス型液晶表示装置は、図 1 に示すようにソース線側ドライバ 101 と、ゲート線側ドライバ 102 と、マトリクス状に配置された複数の画素 T F T 103 と、画像信号線 104 とを有している。

30 【0006】ソース線側ドライバおよびゲート線側ドライバは、シフトレジスタやバッファ回路などを含み、近年アクティブマトリクス回路と同一基板上に一体形成される。

【0007】アクティブマトリクス回路には、ガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

40 【0008】また、基板として石英を利用し、多結晶珪素膜でもって薄膜トランジスタを作製する構成も知られている。この場合、周辺駆動回路もアクティブマトリクス回路も石英基板上に形成される薄膜トランジスタでもって構成される。

【0009】また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板にアクティブマトリクス回路と周辺駆動回路とを集積化することができる。

50 【0010】図 1 に示すような構成においては、ソース線側ドライバのシフトレジスタ回路 (水平走査用のシフトレジスタ) からの信号により、画像信号線 104 に供給される画像信号が選択される。そして対応するソース

(3)

3

信号線に所定の画像信号が供給される。

【0011】ソース信号線に供給された画像信号は、画素の薄膜トランジスタにより選択され、所定の画素電極に書き込まれる。

【0012】画素の薄膜トランジスタは、ゲイト線側ドライバのシフトレジスタ（垂直走査用のシフトレジスタ）からゲイト信号線を介して供給される選択信号により動作する。

【0013】この動作をソース線側ドライバのシフトレジスタからの信号と、ゲイト線側ドライバのシフトレジスタからの信号とにより、適当なタイミング設定で順次繰り返し行うことによって、マトリクス状に配置された各画素に順次情報が書き込まれる。

【0014】図2に、このような従来の駆動方法による各画素の走査の概略図を示す。201はソース線側ドライバ、202はゲイト線側ドライバ、203はマトリクス状に配置された複数の画素TFTが配置された画素領域を示す。204は画素TFTの走査方向を示す。

【0015】画素TFTは204の方向に順に走査され、1画面分の画像情報を書き込んだら、次の画面の画像情報の書き込みを行う。こうして画像の表示が次々に行われる。普通、この1画面分の情報の書き込みは、1秒間に30回、あるいは60回行われる。

【0016】

【発明が解決しようとする課題】

【0017】近年、扱う情報量の急激な増加に伴い、表示容量の増大化および表示解像度の高精細化が図られてきた。ここで、一般に用いられているコンピュータの表示解像度の例を、画素数と規格名とによって下記に示す。

【0018】

画素数（横×縦）	規格名
640×400	EGA
640×480	VGA
800×600	SVGA
1024×768	XGA
1280×1024	SXGA

【0019】また、最近では、パーソナルコンピュータの分野においても、ディスプレイ上で性格の異なる複数の表示を行うソフトウェアが普及しているため、VGAやSVGA規格よりも、さらに表示解像度の高いXGAやSXGA規格に対応する表示装置へと移行してきている。

【0020】しかし、従来の構成による表示方式では、上記のような高表示解像度を実現するには次の様な課題があった。

【0021】従来の液晶電気光学装置は、（1）薄膜トランジスタの移動度が小さい、（2）液晶画素にデータを書き込むための時間がかかる、等の理由により、特に水平方向のサンプリングクロック周波数を高くすること

4

ができず、高速動作が困難であった。

【0022】特に、これらの現象は、表示画面が大きくなる（表示画素数が増える）ほど、多量の画像データを用いるため顕著であった。

【0023】さらに、上記の表示解像度の高い液晶表示装置が、パーソナルコンピュータにおけるデータ信号の表示以外にテレビジョン信号の表示にも用いられるようになってきた。

【0024】近年、ハイビジョンTV（HDTV）やクリアビジョン（EDTV）などの様に美しい画質を表現するために、従来のテレビと比較すると一画面の画像データは数倍多くなってきている。また、大画面化により、見やすさの向上や、1つの表示装置に複数の画像を表示することが可能になるため、ますます大画面が必要になってくる。これらの実現のためにも、液晶表示装置の高速動作の実現が迫られている。

【0025】

【課題を解決するための手段】

【0026】本発明のある実施態様によると、マトリクス状に配置された複数の画素TFTと、前記複数の画素TFTを駆動する複数のソース線側ドライバと、一つのゲイト線側ドライバと、画像信号供給源と、前記画像信号供給源からの画像信号を記憶し、送出する記憶回路と、前記記憶回路を制御するコントローラと、を備えるアクティブマトリクス型表示装置であって、前記記憶回路は、対応する前記複数のソース線に前記画像信号を同時に送出するアクティブマトリクス型表示装置が提供される。このことによって、上記目的が達成される。

【0027】本発明のある実施態様によると、マトリクス状に配置された複数の画素TFTと、前記複数の画素TFTを駆動する2n個（nは自然数）のソース線側ドライバと、一つのゲイト線側ドライバと、画像信号供給源と、前記画像信号供給源からの信号を記憶し、送出する記憶回路と、前記記憶回路を制御するコントローラと、を備えるアクティブマトリクス型表示装置であって、前記記憶回路は、少なくとも2つの記憶領域を有しており、前記少なくとも2つの記憶領域のうち、少なくとも1つの記憶領域が前記画像信号供給源からの画像信号を記憶する書き込みモードにある時は、他の記憶領域は記憶した前記画像信号を送出する読み出しモードにあり、前記記憶領域が、それぞれ書き込みモードにある時は、前記画像信号を入力順に記憶し、前記記憶領域が、それぞれ読み出しモードにある時は、記憶された前記画像信号を前記複数のソース線の数だけ同時に送出し、対応する前記複数のソース線側ドライバを同時に駆動する、アクティブマトリクス型表示装置が提供される。このことによって、上記目的が達成される。

【0028】本発明のある実施態様によると、マトリクス状に配置された複数の画素TFTと、前記複数の画素TFTを駆動する2つのソース線側ドライバと、一つの

(4)

5

ゲイト線側ドライバと、画像信号供給源と、第1および第2のラインメモリと、前記第1および第2のラインメモリを制御するコントローラと、を備えるアクティブマトリクス型表示装置であって、前記第1および第2のラインメモリは、それぞれ第1および第2のメモリを有しており、前記第1および第2のラインメモリは、一方が前記画像信号供給源からの画像信号を記憶する書き込みモードにある時は、もう一方は記憶した前記画像信号を送出する読み出しモードにあり、前記第1および第2のラインメモリが、それぞれ書き込みモードにある時は、前記画像信号を前記第1のメモリと前記第2のメモリとにこの順序で記憶し、前記第1および第2のラインメモリは、それぞれ読み出しモードにある時は、記憶された前記画像信号を前記第1のメモリと前記第2のメモリとから同時に送出し、前記2つのソース線側ドライバを同時に駆動する、アクティブマトリクス型表示装置が提供される。このことによって、上記目的が達成される。

【0029】

【実施例】

【0030】（実施例1）

【0031】図3に本実施例による液晶表示装置の概略構成図を示す。本実施例の液晶表示装置は2つのソース線側ドライバ301および302を備えており、それぞれソース線側ドライバA、ソース線ドライバBとする。303はゲイト線側ドライバである。304は画素TFTであり、複数の画素TFT 304がマトリクス状に配置されて画素領域を形成している。なお本実施例の液晶表示装置は、 $2m \times n$ 個（ m 、 n は自然数）のTFTが配置されている。また、それぞれの画素TFTは、それぞれ画素電極に接続され、画素電極と共通の対向電極との間には液晶が挟持されており、これらの構成要素によって画素が形成される。本実施例では、それぞれの画素には（0、0）、（0、1）、（ m 、1）などの符号が付けられている。305は記憶回路としてのラインメモリであり、306はLCDコントローラ、307は画像信号供給源である。

【0032】本実施例の液晶表示装置においては、画素領域にマトリクス状に配置された複数のTFTは、2つのソース線側ドライバ301および302と1つのゲイト線側ドライバとによって駆動される。なお本実施例では、ソース線側ドライバA 301は、画素（0、0）～（ $m-1$ 、 $n-1$ ）の画素を駆動し、ソース線側ドライバB 302は、画素（ m 、0）～（ $2m-1$ 、 $n-1$ ）の画素を駆動する。

【0033】図4に本実施例の液晶表示装置のブロック図を示す。画像信号供給源401は、ラインメモリ402および403にデジタル画像信号を供給する。タイミング信号発生回路404は、動作タイミングをとるための信号を発生し、画像信号供給源401、メモリ書き込み/読み出しアドレス制御回路405、ラインカウンタ

6

408、およびフレームカウンタ409にその信号を供給する。ラインメモリ402および403は、それぞれ1ライン分のメモリを有している。本実施例では、ラインメモリ402は、2つのメモリ（メモリ1、メモリ2）から成る。また、ラインメモリ403は、2つのメモリ（メモリ3、メモリ4）から成る。メモリ読み出しデータ制御回路は、ラインメモリ402および403から供給される画像データを制御し、表示データ作成回路407へ送出する。表示データ作成回路407は、ラインカウンタ408およびフレームカウンタ409からの信号に従って、メモリ読み出しデータ制御回路406からの画像データをソース線側ドライバA 410、およびソース線側ドライバBに送出し、画素TFTのゲイト線の選択信号をゲイト信号線412に送出する。画素領域413の複数の画素は、ソース線側ドライバA、ソース線側ドライバB、およびゲイト線側ドライバBから供給される信号によってスイッチングされる。

【0034】なお、本実施例では、タイミング信号発生回路404、メモリ書き込み/読み出しアドレス制御回路405、メモリ読み出しデータ制御回路406、表示データ作成回路407、ラインカウンタ408、フレームカウンタ409を含む制御回路をLCDコントローラと呼ぶ。

【0035】次に、図5を参照する。図5には、本実施例のラインメモリ402および403が示されている。本実施例では、ラインメモリ402および403は、それぞれ2m個のデータ（画像信号）を記憶することができる。1つのデータの大きさは4ビットとした。よって本実施例では、ラインメモリ402およびラインメモリ403の記憶容量は、 $4 \times 2m = 8m$ ビットである。なお、ラインメモリ402は、2つのメモリ（メモリ1、メモリ2）に分割され、ラインメモリ403は、2つのメモリ（メモリ3、メモリ4）に分割される。

【0036】なお、1つのデータの大きさは、必要に応じて変えればよい。例えば、必要とする表示の階調に応じて変えればよい。

【0037】なお、本実施例では、2つのラインメモリを使用したか、複数のラインメモリを用いてもよい。また、FIFO（ファスト・イン・ファスト・アウト）のようなメモリを用いてもよい。

【0038】また、メモリには、DRAM、VRAM、SRAMなどを用いてもよい。

【0039】図5（A）および（B）を参照する。図5（A）および（B）に示すように、ラインメモリ402および403は、一方が画像信号供給源401からの画像データを記憶している時、つまり書き込みモードにある時、もう一方はメモリ読み出しデータ制御回路406に画像データを送出するモード、つまり読み出しモードにある。このように、ラインメモリ402および403のように、異なるモードで動作することのできる記憶回

(5)

7

路の領域を記憶領域と呼ぶ。

【0040】図5(A)においては、ラインメモリ402は書き込みモードにある。ラインメモリ402を構成するメモリ1およびメモリ2にはアドレスが割り当てられる。メモリ1には、アドレスADD0~ADDm-1が割り当てられ、メモリ2には、ADDm~ADD2m-1が割り当てられる。このアドレスの割り当ては、メモリ書き込み/読み出しアドレス制御回路によって行われる。

【0041】ラインメモリ402が書き込みモードにある時、メモリ書き込み/読み出しアドレス制御回路によってアドレスがADD0~ADDm-1まで順に指定され、画像信号供給源401から供給される一連の画像データb0~b2m-1が、ADD0~ADD2m-1に順に書き込まれる。よって、画像データが、メモリ1、メモリ2の順に書き込まれる。

【0042】上述したように、ラインメモリ402が書き込みモードにある時、ラインメモリ403は読み出しモードにある。ラインメモリ403が読み出しモードにある時、ラインメモリ403を構成するメモリ3およびメモリ4にはアドレスADD0~ADDm-1が割り当てられる。このアドレスの割り当ては、メモリ書き込み/読み出しアドレス制御回路405によって行われる。

【0043】ラインメモリ403が読み出しモードにある時、メモリ書き込み/読み出しアドレス制御回路によってアドレスがADD0~ADDm-1まで順に指定され、メモリ読み出しデータ制御回路に、アドレスADD0~ADDm-1に記憶されているデータa0~a2m-1が順に読み出される。ただし、メモリ3とメモリ4とは、一連の同じアドレスが指定されているので、メモリ3に記憶されているデータa0~am-1と、メモリ4に記憶されているデータam~a2m-1とが、アドレス指定の順に、同時に読み出されることになる。

【0044】なお、ラインメモリ402に画像信号が書き込まれるクロック周波数は、ラインメモリ403からメモリ読み出しデータ制御回路に読み出されるクロック周波数よりも高くなければならない。本実施例では、ラインメモリ402に画像信号が書き込まれるクロック周波数は、ラインメモリ403からメモリ読み出しデータ制御回路に読み出されるクロック周波数の2倍とした。

【0045】ラインメモリを構成するメモリ3およびメモリ4に記憶されているデータの全てが、メモリ読み出しデータ制御回路に送出された後、ラインメモリ402は読み出しモードになり、ラインメモリ403は書き込みモードになる。

【0046】図5(B)においては、ラインメモリ402は書き込みモードにある。ラインメモリ402を構成するメモリ1およびメモリ2にはアドレスが割り当てられる。メモリ1には、アドレスADD0~ADDm-1が割り当てられ、メモリ2には、ADD0~ADDm-

8

1が割り当てられる。ラインメモリ403が読み出しモードにある時、メモリ読み出しデータ制御回路に、前述した動作によって記憶されたADD0~ADDm-1の信号b0~b2m-1が順に読み出される。ただし、メモリ1とメモリ2とは、一連の同じアドレスが指定されているので、メモリ1に記憶されている信号b0~bm-1と、メモリ2に記憶されている信号bm~b2m-1とが、アドレス指定の順に、同時に読み出されることになる。

【0047】一方この時、ラインメモリ403は書き込みモードにある。ラインメモリ403が書き込みモードにある時、画像信号供給源401から供給される信号c0~c2m-1が、ADD0~ADD2m-1に順に書き込まれる。よって、画像信号が、メモリ3、メモリ4の順に書き込まれる。

【0048】上述したラインメモリ402および403の動作のタイミングチャートを図6に示す。図6にも示されるように、ラインメモリ402およびラインメモリ403は、一方が書き込みモードにある時は、もう一方は読み出しモードにあることが理解される。そして、ラインメモリ402および403はいずれも、書き込みモードの動作と読み出しモードの動作とが交互に実行される。

【0049】ラインメモリ403を構成するメモリ3およびメモリ4からメモリ読み出しデータ制御回路406に読み出されたデータa0~am-1とam~a2m-1とは、表示データ作成回路407に同時に供給される。表示データ作成回路407に供給されたデータa0~am-1とam~a2m-1とは、それぞれソース線側ドライバAとソース線側ドライバBとに同時に供給される。

【0050】ラインカウンタ408は、ソース線側ドライバAおよびソース線側ドライバBに供給されるデータの数をカウントし、それぞれm個のデータを供給した時点で、ソース線側ドライバAおよびソース線側ドライバBにスタートパルスを送出する。

【0051】フレームカウンタ409は、ソース線側ドライバAおよびソース線側ドライバBにm個の信号がn回供給された時点で、ゲート線側ドライバにスタートパルスを送出する。

【0052】ソース線側ドライバAおよびソース線側ドライバBに供給された信号は、順次画素TF Tへ送出され、対応する画素TF Tが順次点灯する。

【0053】本実施例の液晶表示装置の画素TF Tの走査順序を図9に示す。図9において、901はソース線側ドライバAが画素TF Tを走査する方向および順序を示している。902はソース線側ドライバBが画素TF Tを走査する方向および順序を示している。

【0054】上述したように、本実施例によると、同一ゲート信号線にある画素TF Tがソース線側ドライバA

(6)

9

およびソース線ドライバBによって駆動される。従って、1ライン分の画素を走査する時間が、従来の駆動回路と比較して短くて済むことがわかる。

【0055】従って、動作速度の遅いTFTを用いた場合でも、本実施例によると、大画面、高解像度の表示装置を駆動することができる。

【0056】また、ソース線側ドライバの実質的な動作速度、クロック周波数等を変えなくとも、従来よりも高速な画像表示を可能とすることができる。

【0057】なお、本実施例では、2つのラインメモリを用いて、2つのソース線側ドライバに画像データを同時に供給することで画像の高速表示を実現することができたが、2個のラインメモリ、あるいは同等の記憶回路を用いて、ラインメモリ、あるいは前記記憶回路をn個の記憶領域に分割し、n個のソース線側ドライバにデータを同時に供給するようにしてもよい。この場合、n個のソース線側ドライバのそれぞれには、スタートパルスを送出できるようにする。

【0058】この場合、読み出しモードにあるラインメモリ、あるいは記憶回路から読み出されたデータは、n個のソース線側ドライバに同時に供給されていく。こうすることによって、画素領域をn個に分割して表示を行うことができるので、より高速に画像表示を行うことができる。

【0059】また上記の場合、n個のソース線側ドライバにスタートパルスの入力を選択する回路を設けて、ラインメモリあるいは記憶回路の分割数の変更に応じてn個のソース線側ドライバにスタートパルスが入力することを制御することによって、画素領域の分割数を可変とすることができる。

【0060】(実施例2)

【0061】本実施例では、実施例1で用いたLCDコントローラおよびラインメモリを有する液晶表示装置の作製工程について説明する。

【0062】本実施例では絶縁表面を有する基板上に複数のTFTを形成し、画素マトリクス回路とドライバ回路を含む周辺回路とをモノリシックに構成する例を図8～図12に示す。なお、本実施例ではLCDコントローラ、ラインメモリ、およびドライバ等の周辺回路の例として、基本回路であるCMOS回路を示す。なお、本実施例では、Pチャンネル型とNチャンネル型とがそれぞれ1つのゲイト電極を備えたCMOS回路について、その作製工程を説明するが、ダブルゲイト型のような複数のゲイト電極を備えたCMOS回路も同様に作製することができる。

【0063】図8を参照する。まず、絶縁表面を有する基板として石英基板801を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとって

10

も良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。

【0064】802は非晶質珪素膜であり、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が10～75nm(好ましくは15～45nm)となる様に調節する。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。

【0065】本実施例の場合、非晶質珪素膜802中において代表的な不純物であるC(炭素)、N(窒素)、O(酸素)、S(硫黄)の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満(好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下)となる様に管理している。各不純物がこれ以上の濃度で存在すると、結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となりうる。

【0066】なお、非晶質珪素膜802中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜802の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0067】次に、非晶質珪素膜802の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同公報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0068】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜803を形成する。マスク絶縁膜803は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる。

【0069】そして、非晶質珪素膜の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピンコート法により塗布し、Ni含有層804を形成する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる(図8(A))。

【0070】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0071】次に、触媒元素の添加工程が終了したら、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃(代表的には550～650℃)の温度で4～24時

(7)

11

間の加熱処理を加えて非晶質珪素膜 802 の結晶化を行う。本実施例では窒素雰囲気中で 570℃ で 14 時間の加熱処理を行う。

【0072】この時、非晶質珪素膜 802 の結晶化はニッケルを添加した領域 805 および 806 で発生した核から優先的に進行し、基板 801 の基板面に対してほぼ平行に成長した結晶領域 807 および 808 が形成される。この結晶領域 807 および 808 を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある(図 8 (B))。

【0073】なお、上述の特開平 7-130652 号公報の実施例 1 に記載された技術を用いた場合も微視的には横成長領域と呼ぶ領域が形成されている。しかしながら、核発生が面内において不均一に起こるので、結晶粒界の制御性の面で難がある。

【0074】結晶化のための加熱処理が終了したら、マスク絶縁膜 803 を除去してパターニングを行い、横成長領域 807 および 808 となる島状半導体層(活性層) 809、810、および 811 を形成する(図 8 (C))。

【0075】ここで 809 は CMOS 回路を構成する N 型 TFT の活性層、810 は CMOS 回路を構成する P 型 TFT の活性層、811 は画素マトリクス回路を構成する N 型 TFT (画素 TFT) の活性層である。

【0076】活性層 809、810、および 811 を形成したら、その上に珪素を含む絶縁膜となるゲイト絶縁膜 812 を成膜する。

【0077】そして、次に図 8 (D) に示す様に触媒元素(ニッケル)を除去または低減するための加熱処理(触媒元素のゲッタリングプロセス)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0078】なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を 700℃ を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。

【0079】そのため本実施例ではこの加熱処理を 700℃ を超える温度で行い、好ましくは 800~1000℃ (代表的には 950℃) とし、処理時間は 0.1~6 hr、代表的には 0.5~1 hr とする。

【0080】なお、本実施例では酸素雰囲気中に対して塩化水素(HCl)を 0.5~10 体積%(本実施例では 3 体積%)の濃度で含有させた雰囲気中において、950℃で、30 分の加熱処理を行う例を示す。HCl 濃度を上記濃度以上とすると、活性層 809、810、および 811 の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

12

【0081】また、ハロゲン元素を含む化合物として HCl ガスを用いる例を示したが、それ以外のガスとして、代表的には HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0082】この工程においては活性層 809、810、および 811 中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去され则认为られる。そして、この工程により活性層 809、810、および 811 中のニッケルの濃度は $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減される。

【0083】なお、 $5 \times 10^{17} \text{ atoms/cm}^3$ という値は SIMS (質量二次イオン分析) の検出下限である。本発明者らが試作した TFT を解析した結果、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下(好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)では TFT 特性に対するニッケルの影響は確認されなかった。ただし本明細書中における不純物濃度は、SIMS 分析の測定結果の最小値をもって定義される。

【0084】また、上記加熱処理により活性層 809、810、および 811 とゲイト絶縁膜 812 の界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜 812 の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体/絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良(エッジシニング)を防ぐ効果もある。

【0085】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で 950℃ で 1 時間程度の加熱処理を行なうことで、ゲイト絶縁膜 812 の膜質の向上を図ることも有効である。

【0086】なお、SIMS 分析により活性層 809、810、および 811 中にはゲッタリング処理に使用したハロゲン元素が、 $1 \times 10^{15} \text{ atoms/cm}^3 \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で残存することも確認されている。また、その際活性層 809、810、および 811 と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することが SIMS 分析によって確かめられている。

【0087】また、他の元素についても SIMS 分析を行った結果、代表的な不純物である C (炭素)、N (窒素)、O (酸素)、S (硫黄) はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満(典型的には $1 \times 10^{18} \text{ atoms/cm}^3$ 以下)であることが確認された。

【0088】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型 813、814、および 815 を形成する。本実施例では 2 wt % のスカンジウムを含有したアルミニウム膜を用いる(図 9 (A))。

(8)

13

【0089】次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜816、817、および818、無孔性の陽極酸化膜819、820、および821、ゲイト電極822、823、および824を形成する(図9(B))。

【0090】こうして図9(B)の状態が得られたら、次にゲイト電極822、823、および824、多孔性の陽極酸化膜816、817、および818をマスクとしてゲイト絶縁膜812をエッチングする。そして、多孔性の陽極酸化膜816、817、および818を除去して図9(C)の状態を得る。なお、図9(C)において825、826、および827で示されるのは加工後のゲイト絶縁膜である。

【0091】次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはN型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)を用いれば良い。

【0092】本実施例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加(本実施例ではP(リン)を用いる)を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0093】さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500Ω以下(好ましくは300Ω以下)となるように調節する。

【0094】以上の工程を経て、CMOS回路を構成するN型TFTのソース領域828、ドレイン領域829、低濃度不純物領域830、チャネル形成領域831が形成される。また、画素TFTを構成するN型TFTのソース領域832、ドレイン領域833、低濃度不純物領域834、チャネル形成領域835が確定する(図9(D))。

【0095】なお、図9(D)に示す状態ではCMOS回路を構成するP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0096】次に、図10(A)に示すように、N型TFTを覆ってレジストマスク836を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。

【0097】この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0098】こうしてCMOS回路を構成するP型TFTのソース領域837、ドレイン領域838、低濃度不純物領域839、チャネル形成領域840が形成される

14

(図10(A))。

【0099】以上の様にして活性層が完成したら、フェーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0100】次に、層間絶縁膜841として酸化珪素膜と窒化珪素膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極842、843、および844、ドレイン電極845、846を形成して図10(B)に示す状態を得る。

【0101】次に、10~50nmの厚さの窒化珪素膜847、ブラックマスク848を形成する(図10(C))。

【0102】図10(C)の構成では、窒化珪素膜847を介して、ドレイン電極846とブラックマスク848との間で補助容量を形成する。

【0103】このように、図10(C)の構成では、ブラックマスク848が補助容量の上部電極を兼ねる点の特徴である。

【0104】なお、図10(C)に示すような構成では、広い面積を占めやすい補助容量をTFTの上に形成することで開口率の低下を防ぐことが可能である。また、誘電率の高い窒化珪素膜を25nm程度の厚さで利用できるので、少ない面積で非常に大きな容量を確保することが可能である。

【0105】次に、有機性樹脂膜でなる第2の層間絶縁膜849を0.5~3μmの厚さに形成する。そして、層間絶縁膜849上に導電膜を形成しパターンニングすることにより画素電極850を形成する。本実施例は透過型の例であるため画素電極850を構成する導電膜としてITO等の透明導電膜を用いる。

【0106】次に、基板全体を350℃の水素雰囲気中で1~2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合手)を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0107】次に、図11に示すように、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶パネルを作製する工程を説明する。

【0108】図10(C)の状態のアクティブマトリクス基板に配向膜851を形成する。本実施例では、配向膜851には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板852、透明導電膜853、配向膜854とで構成される。

【0109】なお、本実施例では、配向膜には、液晶分子が基板に対して垂直に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って垂直配向するようにした。

(9)

15

【0110】なお、対向基板には必要に応じてブラックマスクやカラーフィルタなどが形成されるが、ここでは省略する。

【0111】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（図示せず）などを介して貼り合わせる。その後、両基板の間に液晶材料 855 を注入し、封止剤（図示せず）によって完全に封止する。よって、図 11 に示すような透過型の液晶パネルが完成する。

【0112】なお、本実施例では、液晶パネルが、ECB（電界制御複屈折）モードによって表示を行うようにした。そのため、1 対の偏光板（図示せず）がクロスニコル（1 対の偏光板が、それぞれの偏光軸を直交させるような状態）で、液晶パネルを挟持するように配置された。

【0113】よって、本実施例では、液晶パネルに電圧が印加されていないとき黒表示となる、ノーマリブラックモードで表示を行うことが理解される。

【0114】また、図 10（C）に示した様なアクティブマトリクス基板の外観を図 12 に簡略化して示す。図 12 において、1201 は石英基板、1202 は画素マトリクス回路、1203 はソースドライバ回路、1204 はゲートドライバ回路、1205 は LCD コントローラおよびラインメモリを含むロジック回路である。

【0115】ロジック回路 1205 は広義的には TFT で構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するため、それ以外の信号処理回路（LCD コントローラ、ラインメモリ、その他のメモリ、D/A コンバータ、パルスジェネレータ等）を指す。

【0116】また、こうして形成された液晶パネルには外部端子として FPC（Flexible Print Circuit）端子が取り付けられる。一般的に液晶モジュールと呼ばれるのは FPC を取り付けけた状態の液晶パネルである。

【0117】（実施例 3）

【0118】本実施例では、上記実施例 1 に示したような LCD コントローラおよびラインメモリを含む本発明の周辺回路一体型の液晶パネルを実施例 2 の方法で作製し、組み込んだ 3 板式のプロジェクトについて説明する。

【0119】図 13 を参照する。1301 は光源であり、1302、1303 は、それぞれ R（赤）と G（緑）との波長領域の光を選択的に反射するダイクロイックミラーである。1304、1305、および 1306 は、全反射ミラーであり、1307、1308、および 1309 は、それぞれ R、G、B に対応した透過型液晶パネルである。1310 はダイクロイックプリズムであり、1311 は投射レンズであり、1312 はスクリーンである。

【0120】本実施例の 3 板式の液晶プロジェクトは、

16

3 枚の白黒表示の液晶パネル 1307、1308、および 1309 にそれぞれ赤、青、緑の 3 原色に対応した画像を表示し、それに対応する 3 原色の光で上記液晶パネルを照明する。そして、得られた各原色成分の画像をダイクロイックプリズム 1310 により合成してスクリーン 1312 に投射する。従って、3 板式の液晶プロジェクトは、表示性能（解像度、スクリーン照度、色純度）に優れている。

【0121】（実施例 4）

【0122】本実施例では、上記実施例 1 に示したような LCD コントローラおよびラインメモリを含む本発明の周辺回路一体型の液晶パネルを実施例 2 の方法で作製し、組み込んだ単板式のプロジェクトについて説明する。

【0123】本実施例の単板式の液晶プロジェクトの構成を図 14 に示す。1401 は光源、1402 は集光レンズ、1403 は液晶パネル、1404 は投射レンズ、1405 はスクリーンである。なお、液晶パネル 1403 にはカラーフィルタが取り付けられている。

【0124】なお、本実施例の単板式の液晶プロジェクトでは、カラーフィルタを用いて直視型の液晶表示装置と同じ方式によって、R、G、B の各画素をそれぞれ駆動する方法で、得られた各画素に対応する光をスクリーンへ投射している。

【0125】なお、単板式の液晶プロジェクトは、実施例 3 の 3 板式の液晶プロジェクトと比較して、光学部品が 1/3 で済むことから、価格やサイズなどにおいて優れている。しかし、3 板式と従来の単板式とで同じ液晶パネルを用いた場合、3 板式は 1 つの画素に 3 色を重ねているのに対して、単板式は 1 つの画素を一色の画素としてしか利用できないため、単板式は 3 板式に比べて画質が劣る。しかも、上記の単板式の液晶プロジェクトは、光源からの白色光のうち不要な成分をカラーフィルタに吸収させることによって所望の色の画像を得ている。よって、液晶パネルに入射した白色光は、1/3 しか透過せず、光の利用効率が比較的低い。

【0126】よって、実施例 3 の 3 板式のプロジェクトと本実施例の単板式のプロジェクトとがその用途に応じて使用され得る。

【0127】（実施例 5）

【0128】本実施例では、実施例 3 あるいは実施例 4 に示された液晶プロジェクトを、光学エンジンとしてセットに組み込んだプロジェクト（プロジェクトン TV）について説明する。

【0129】図 15 に、本実施例のプロジェクトン TV の外観図を示す。本実施例のプロジェクトン TV は、一般的に、リア型プロジェクトとも呼ばれるタイプである。なお、図 15（A）は側面図であり、内部構造を簡略化して示されている。また、図 15（B）は、本実施例のプロジェクトン TV を斜めから見た図であ

(10)

17

る。

【0130】図15(A)および(B)において、1501は本体、1502は実施例3あるいは実施例4の液晶プロジェクタが組み込まれた光学エンジン、1503はリフレクター、1504はスクリーンである。実際には、その他の光学系が加わって複雑な構成となるが、本実施例では概略の構成のみを示すこととする。

【0131】なお、実施例3あるいは4の液晶パネルには、周辺駆動回路および論理回路とが画素領域とともに一体形成されている。よって、NTSC方式、PAL方式、デジタル方式の信号にも対応させることができる。

【0132】また、ビデオ信号がXGA、SXGA、UXGAといった様に、異なる解像度に対応していても、論理回路等で不必要な箇所(画像非表示部)を黒表示するなどの工夫により解像度の低下を防ぎ、かつコントラストの高い映像を提供することができる。

【0133】(実施例6)

【0134】本実施例では、実施例5とは異なる構成の液晶プロジェクタについて説明する。本実施例の液晶プロジェクタにも、実施例2の液晶パネルが用いられる。なお、本実施例で示す装置は、一般的にはフロント型プロジェクタと呼ばれているタイプである。

【0135】図16に、本実施例のフロント型プロジェクタの構成図を示す。図16において、1601はプロジェクタ本体、1602は投射レンズ、1603はスクリーンである。

【0136】プロジェクタ本体1601には、実施例3に示したプロジェクタを用いる。プロジェクタ本体1601から映像情報を含む光が供給され、投射レンズ1602によって、映像がスクリーン1603に投射される。

【0137】フロント型プロジェクタの最大の特徴は、映像が大画面スクリーンに映し出されることである。よって、会議やプレゼンテーション用のアプリケーションとしての需要が高い。なお、スクリーンには100インチ型、200インチ型といったものがよく用いられる。

【0138】なお、本実施例のフロント型プロジェクタにも、実施例3の3板式のプロジェクタと実施例4の単板式のプロジェクタとがその用途に応じて使用され得る。

【0139】(実施例7)

【0140】本実施例では、本発明のLCDコントローラおよびラインメモリを有する反強誘電性液晶を用いた液晶表示装置について説明する。

【0141】本実施例で用いた画素TFT、LCDコントローラ、ラインメモリ、およびドライバTFTを含むアクティブマトリクス基板の作製方法は、実施例2を引用する。

【0142】本実施例の液晶表示装置は、反強誘電性液

18

晶が用いられている。反強誘電性液晶は、2つの配向状態を有し、画素TFTによって電圧が印加されると、第1あるいは第2の配向状態にある液晶分子が第2あるいは第1の安定な配向状態に選択的に変化する。この第1あるいは第2の安定な配向状態にある液晶分子の割合を、印加する電圧の大きさによって変化させることができる。したがって、印加電圧を制御することによって、中間調状態を制御することができる。

【0143】また、本実施例の反強誘電性液晶を用いた液晶表示装置は、TNモードの液晶表示装置と比較して、応答速度が早く、周波数特性がよい。よって、良好な画像を表示することができる。

【0144】なお、本実施例の液晶パネルも、実施例3～6の液晶プロジェクタに適用することができる。

【0145】(実施例8)

【0146】上記実施例2～7では、本発明のドライバ回路をECB(電界制御複屈折)モードで表示を行う液晶パネルに用いたが、ECBモードのうちでもIPS(横電界)モードで表示を行う液晶パネルに用いてもよいし、TN(ツイストネマチック)やSTN(スーパーツイストネマチック)などのモードで表示を行う液晶パネルに用いてもよい。

【0147】また、上記実施例2～7では、透過型の液晶パネルについて説明してきたが、LCDコントローラ、ラインメモリ、および複数のソース線側ドライバを含む周辺回路は、反射型の液晶パネルにも用いられるのは言うまでもない。

【0148】また、上記実施例2～7では、表示媒体として液晶を用いる場合について説明してきたが、本発明の駆動回路は、液晶と高分子との混合層、いわゆる高分子分散型液晶表示装置にも用いることができる。また、本発明の駆動回路は、印加電圧にตอบสนองして光学的特性が変調され得るその他のいかなる表示媒体を有する表示装置に用いてもよい。例えば、エレクトロルミネセンス素子などを表示媒体として用いてもよい。

【0149】

【発明の効果】本発明により、画像表示装置、特にアクティブマトリクス型の表示装置において、ソース線側ドライバの実質的な動作速度、クロック周波数等を変えなくとも、従来よりも高速な画像表示を可能とすることができ、大量の画像データを必要とする高解像度、大画面の高速な表示を、容易かつ安価に実現することができた。

【図面の簡単な説明】

【図1】 従来の液晶表示装置の概略構成図である。

【図2】 従来の液晶表示装置の画素の走査順序を示す図である。

【図3】 本発明による液晶表示装置の概略構成図である。

【図4】 本発明による液晶表示装置のブロック図であ

(11)

19

る。

【図 5】 本発明による液晶表示装置のラインメモリを示す図である。

【図 6】 本発明による液晶表示装置のラインメモリの動作のタイミングチャートである。

【図 7】 本発明による液晶表示装置の画素の走査順序を示す図である。

【図 8】 本発明による液晶表示装置の作製工程を示す図である。

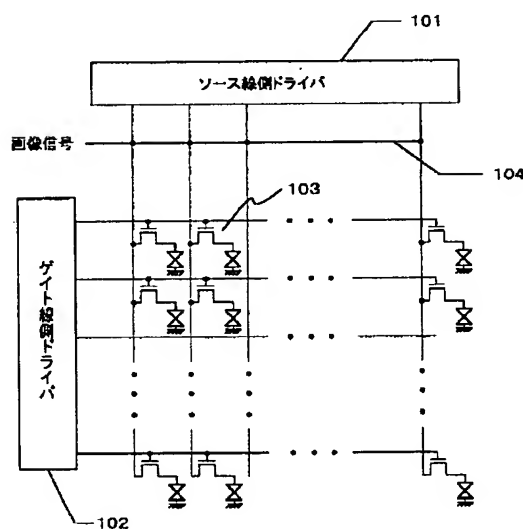
【図 9】 本発明による液晶表示装置の作製工程を示す図である。

【図 10】 本発明による液晶表示装置の作製工程を示す図である。

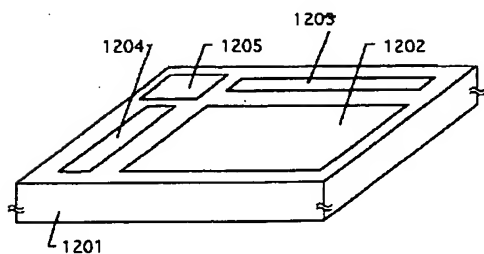
【図 11】 本発明による液晶表示装置の断面図である。

【図 12】 本発明による液晶表示装置のアクティブマトリクス基板の斜視図である。

【図 1】



【図 12】



20

【図 13】 本発明による液晶表示装置を備えた 3 板式プロジェクタの構成図である。

【図 14】 本発明による液晶表示装置を備えた単板式プロジェクタの構成図である。

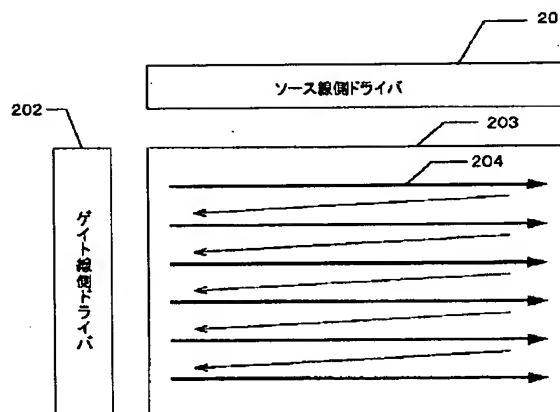
【図 15】 本発明による液晶表示装置を備えたリアプロジェクタの構成図である。

【図 16】 本発明による液晶表示装置を備えたフロントプロジェクタの構成図である。

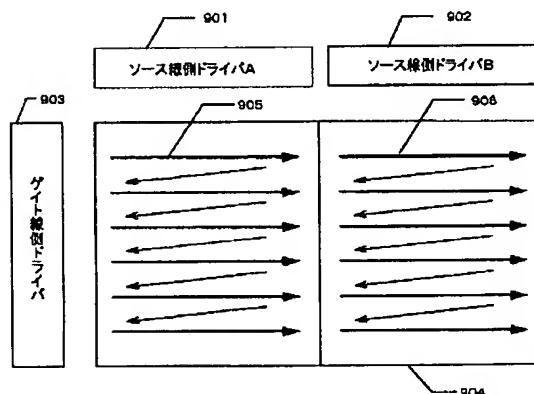
【符号の説明】

301、302、410、411 ソース線側ドライバ
303、412 ゲイト線側ドライバ
304 TFT
305、402、403 ラインメモリ
306 LCDコントローラ
307、401 画像信号供給源
413 画素領域

【図 2】

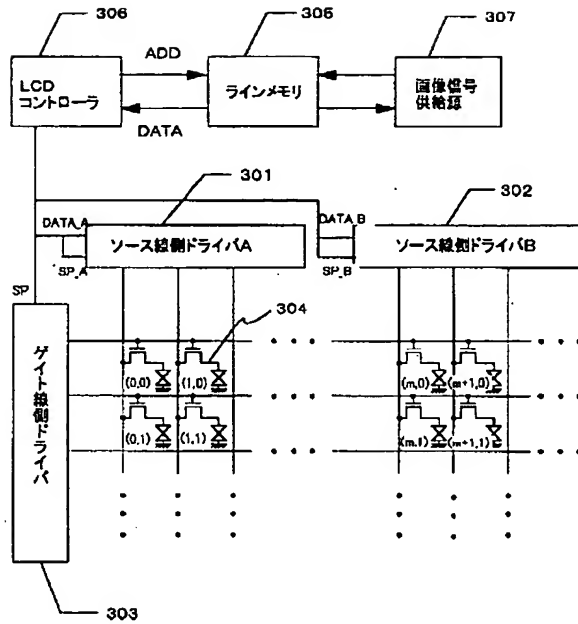


【図 7】

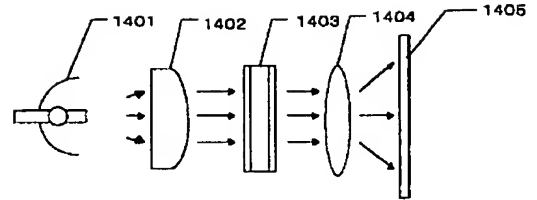


(12)

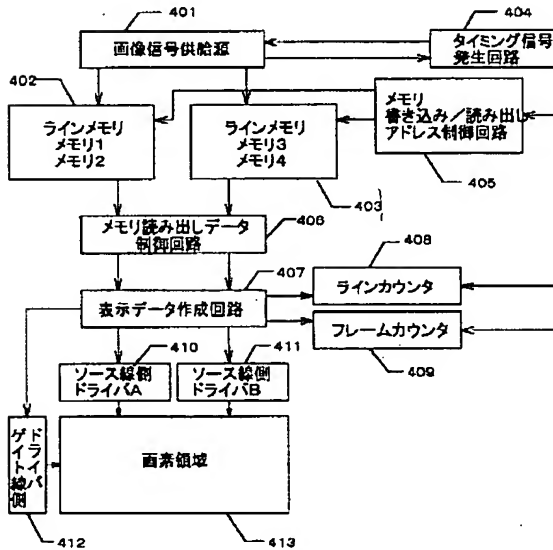
【図3】



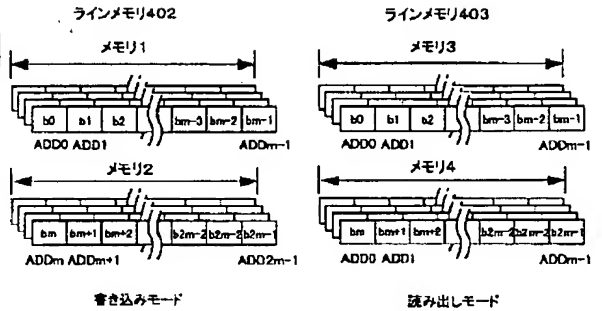
【図14】



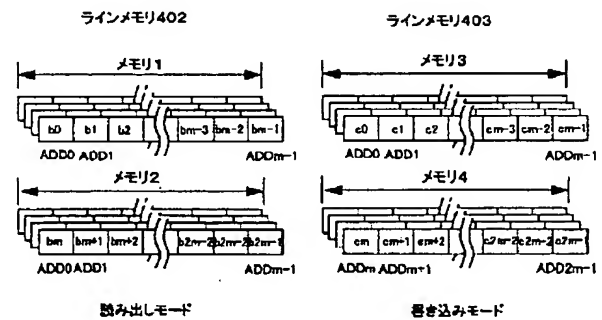
【図4】



【図5】



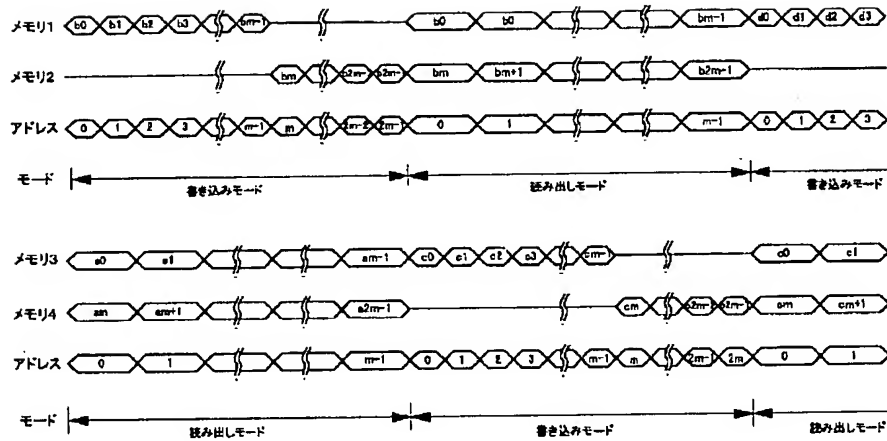
(A)



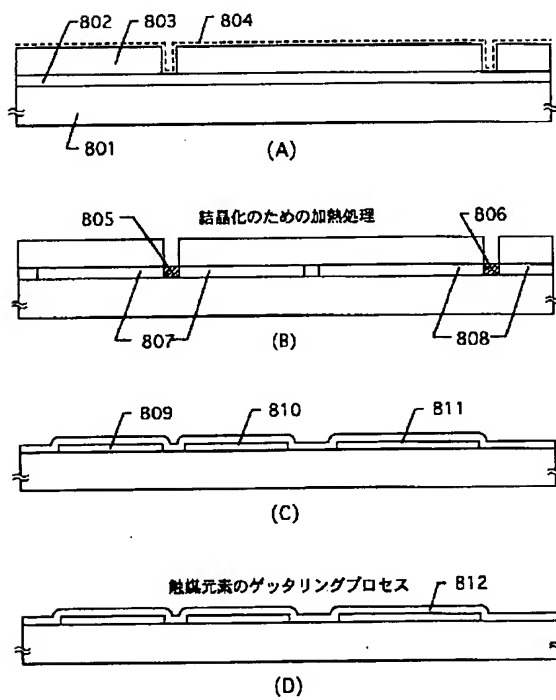
(B)

(13)

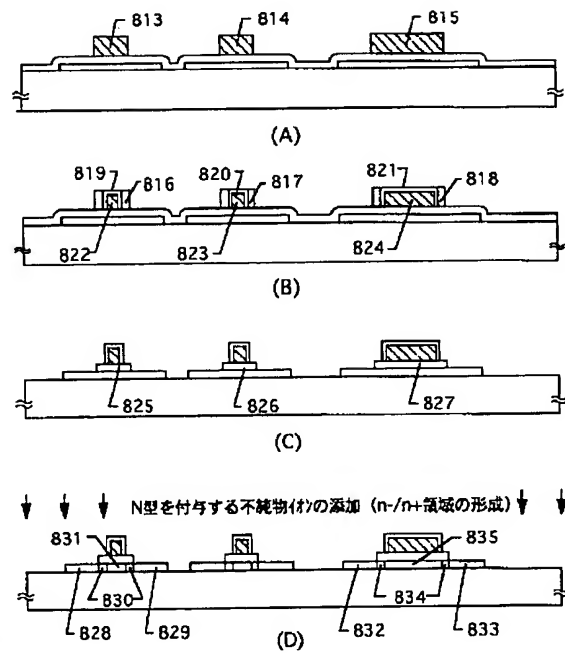
【図6】



【図8】

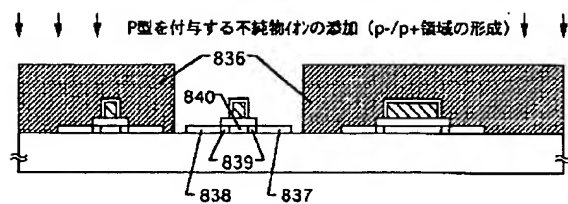


【図9】

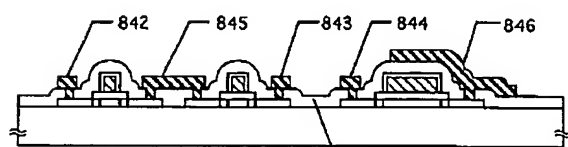


(14)

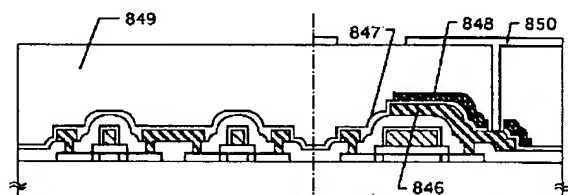
【図10】



(A)



(B)

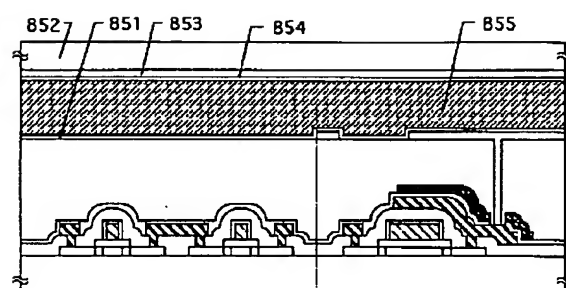


CMOS回路

画素マトリクス回路

(C)

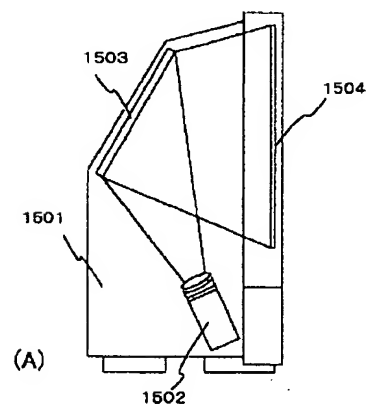
【図11】



CMOS回路

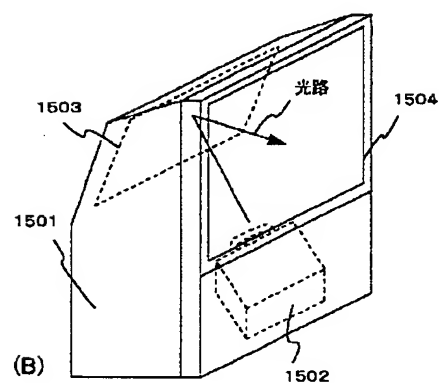
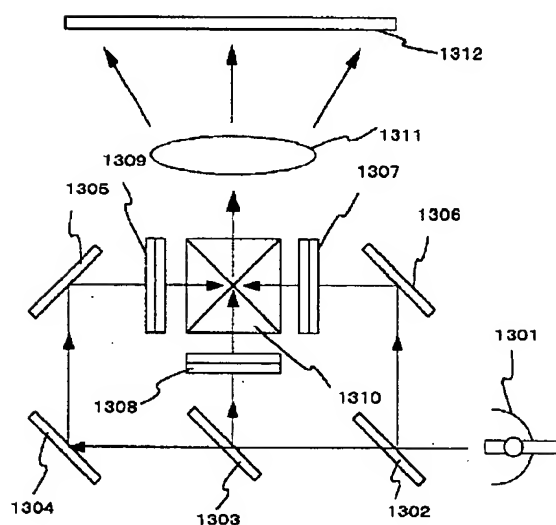
画素マトリクス回路

【図15】



(A)

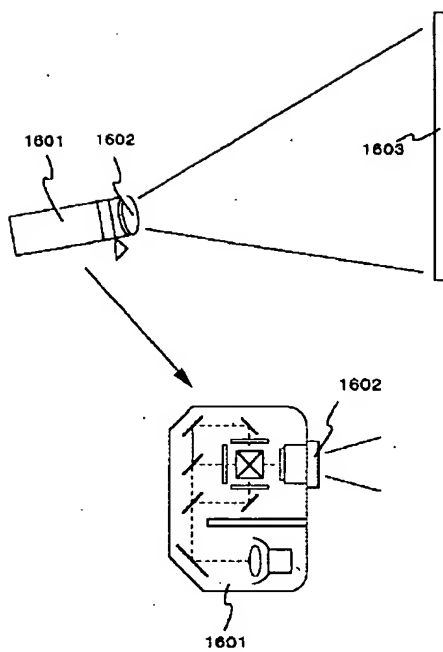
【図13】



(B)

(45)

【図16】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.